

<p>(51) 国際特許分類6 H01L 29/778, 21/338, 29/861</p>	<p>A1</p>	<p>(11) 国際公開番号 WO97/45877</p> <p>(43) 国際公開日 1997年12月4日(04.12.97)</p>
<p>(21) 国際出願番号 PCT/JP96/01480</p> <p>(22) 国際出願日 1996年5月31日(31.05.96)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者; および</p> <p>(75) 発明者/出願人 (米国についてのみ) 小堀 勉(KOBORI, Tsutomu)(JP/JP) 〒370 群馬県高崎市西横手町145番3号 グリーンピア高崎1306号室 Gunma, (JP) 工藤純久(KUDO, Sumihisa)(JP/JP) 〒371 群馬県前橋市住吉町2丁目3番20号 ライオンズプラザ前橋広瀬川905号 Gunma, (JP)</p> <p>(74) 代理人 弁理士 秋田収喜(AKITA, Shuki) 〒116 東京都荒川区西日暮里6丁目53番3号 藤井ビル201号 Tokyo, (JP)</p>		<p>(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54)Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE</p> <p>(54)発明の名称 半導体装置およびその製造方法</p> <p>(57) Abstract</p> <p>A communication semiconductor device in which an HEMT having a frequency band of about 5 GHz is incorporated. The dielectric strength of the semiconductor against a surge current at the time of handling, etc., is prevented. The semiconductor device is provided with a semi-insulating compound semiconductor substrate (semi-insulating GaAs substrate), an electron traveling layer made of an undoped compound semiconductor (undoped GaAs) formed on the main surface of the semiconductor substrate, an electron supplying layer made of a compound semiconductor (AlGaAs) of a first conductivity (N-type) which is formed on the electron traveling layer and generates two-dimensional electron gas channels in the surface layer of the electron traveling layer, source and drain electrodes formed on the electron supplying layer, and a gate electrode formed on the upper surface of the electron supplying layer between the source and drain electrodes. An NiN protective element composed of an intrinsic semiconductor layer formed by partially etching off the electron supplying layer and part of the electron supplying layer is provided between the gate and source electrodes.</p>		

(57) 要約

5GHz帯前後のHEMTを組み込んだ通信用半導体装置である。静電破壊強度を高くして、取り扱い時等のサージ電流による破壊を防止する。半導体装置は、半絶縁性化合物半導体基板（半絶縁性GaAs基板）と、前記半絶縁性化合物半導体基板の主面に形成されたアンドープ化合物半導体（アンドープGaAs層）からなる電子走行層と、前記電子走行層上に形成されかつ前記電子走行層の表層に2次元電子ガスチャネルを発生させる第1導電型（N型）の化合物半導体（AlGaAs層）からなる電子供給層と、前記電子供給層の上に形成されるソース電極およびドレイン電極と、前記ソース電極とドレイン電極の間の前記電子供給層の上面に形成されたゲート電極とを有する構造において、前記ゲート電極とソース電極の間には前記アンドープ層上の電子供給層を部分的にエッチング除去して形成された真性半導体層と電子供給層部分とによるNiN型保護素子が設けられている。

参考情報

PCTに基づいて公開される国際出願のパブリック第一頁に記載されたPCT加盟国を特定するために使用されるコード

AL	アルバニア	ES	スペイン	LR	リベリア	SG	シンガポール
AM	アルメニア	FI	フィンランド	LS	レソト	SK	スロバキア共和国
AT	オーストリア	FR	フランス	LT	リトアニア	SL	シエラレオネ
AU	オーストラリア	GB	英国	LU	ルクセンブルグ	SN	セネガル
AZ	アゼルバイジャン	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GH	ガーナ	MC	モナコ	TD	チャド
BB	バルバドス	GM	ガンビア	MD	モルドヴァ共和国	TG	トーゴ
BE	ベルギー	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BF	ブルキナ・ファソ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BG	ブルガリア	HU	ハンガリー	ML	マリ	TT	トリニダード・トバゴ
BJ	ベナン	ID	インドネシア	MN	モンゴル	UA	ウクライナ
BR	ブラジル	IE	アイルランド	MR	モロッコ	UG	ウガンダ
BY	ベラルーシ	IL	イスラエル	MW	マラウイ	US	米国
CA	カナダ	IS	アイスランド	MX	メキシコ	UZ	ウズベキスタン
CF	中央アフリカ共和国	IT	イタリア	NE	ニジェール	VN	ベトナム
CG	コンゴ	JPE	日本	NL	オランダ	YU	ユーゴスラビア
CH	スイス	KJ	韓国	NO	ノルウェー	ZW	ジンバブエ
CI	コート・ジボアール	KP	朝鮮民主主義人民共和国	NZ	ニュージーランド		
CM	カメルーン	KR	韓国	PL	ポーランド		
CN	中国	KZ	カザフスタン	PT	ポルトガル		
CU	キューバ	LC	セントルシア	RO	ルーマニア		
CZ	チェコ共和国	LI	スイス	RU	ロシア連邦		
DE	ドイツ	LK	スリランカ	SD	スーダン		
DK	デンマーク			SE	スウェーデン		
EE	エストニア						

明 細 書

半導体装置およびその製造方法

技術分野

本発明は半導体装置およびその製造方法、特に高電子移動度トラン
5 ジスタ (HEMT: High Electron Mobility Transistor) を有する半
導体装置およびその製造技術に関し、特に雑音特性や電力利得が高く
かつ静電破壊強度が高い移動体通信用HEMTおよびその製造に適応
して有効な技術に関する。

10 背景技術

移動体通信用半導体装置としてGaAs MESFET (Metal Semi
conductor Field Effect Transistor) やGaAs HEMTが使用され
ている。GaAs HEMTはGaAs MESFETに比較して雑音特
性や電力利得等高周波特性が優れている。

15 使用周波数帯域が5GHz以下となるGaAs HEMTは、たとえ
ば、半絶縁性GaAs基板上に電子走行層となるアンドープGaAs
層、前記アンドープGaAs層の表層に2次元電子ガスチャネルを
発生させる第1導電型(N型)からなる電子供給層となるAlGaAs
層、電極とのオーミック性をとるためのオーミックコンタクト層とな
20 るN型GaAsを順次エピタキシャル成長させた基板を使用している。
この種のHEMTについては、培風館発行、「超高速化合物半導体デ
バイス」P121~P123や、電子情報通信学会発行、ED82-127
(低雑音HEMT) に記載されている。また、特開平2-16274

4号公報および特開昭60-86874号公報には、ゲート・ソース間に保護素子をモノリシックに組み込んだ例が記載されている。

HEMTは雑音特性や電力利得等の高周波特性が良好であるが、静電破壊強度が、たとえば、約30V以下と低いため、その取り扱い時、
5 静電破壊が起きないように十分な注意を必要とする。このため、半導体装置の製造歩留りが低下したり、組立の作業性が低くなる場合もある。

そこで、本発明者はHEMTの静電破壊強度を向上させるため、たとえば、ゲート・ソース間に保護素子を入れることを検討した。

10 一般に、GaAs基板主面にN型層以外のP型層等を形成する場合、イオン注入法等を実施する。しかし、イオン注入法はその後高温熱処理が必要となる。この結果、前記エピタキシャル層は高温熱処理によりエピタキシャル界面の濃度プロファイルの変化等が発生する。このため、HEMTの製造において、高温熱処理を必要とするイオン注入
15 法は避けられている。

また、HEMTにおける雑音特性や電力利得の関係からHEMTのゲート(G)とソース(S)間にNPNで構成されるバックトゥバック(back-to-back)ダイオードを組み込むことは困難である。これは以下の理由による。

20 第14図は本発明者によって検討確認された半導体装置と従来の半導体装置の周波数と雑音指数(dB)との相関を示すグラフであり、第15図は本発明者によって検討確認された半導体装置および従来の半導体装置の周波数と電力利得(dB)との相関を示すグラフである。

曲線Aは保護素子を設けないHEMTの特性を示し、曲線CはNP
25 Nバックトゥバックダイオードを組み込んだHEMT(HEMT(N

- PND) } の特性を示し、曲線DはMESFETの特性を示す。また、HEMTとMESFETの雑音指数NFを比較するため、それぞれの仮のデバイス（半導体装置）構造を略同一として以下のように設定する。ゲート長は $0.5\mu\text{m}$ 程度、ゲート幅は $200\sim300\mu\text{m}$ 程度、
- 5 ゲート下部の空乏層幅は $250\sim500\text{\AA}$ とする。

雑音指数(NF)の許容値を 1.5dB とした場合、使用周波数帯域は、GaAs-MESFETは曲線Dで示すように 5GHz 帯まで可能であり、HEMTの場合曲線Aで示すように 12GHz 帯、すなわち衛星通信用にも使用できる。

- 10 しかし、ゲートとソース間にNPNのバックトゥバックダイオードを組み込んだHEMTの場合は、曲線Cで示すように雑音指数は許容値を越え、使用に耐えないものとなる。

雑音指数NFは次式(1)で与えられる。

$$\text{NF} = 10 \log [1 + 2\pi f K (C_{gs} + C_p) \times \{ (R_s + R_g) / g_m \}] \quad \dots (1)$$

15

ここで、 f は周波数、 K はフィッティングファクタ、 C_{gs} はゲート・ソース間容量（ゲート下部の空乏層容量）、 C_p はゲート・ソース間寄生容量、 R_s はソース抵抗、 R_g はゲート抵抗、 g_m は相互コンダクタンスである。

- 20 式1から各周波数特性において高い周波数になるに従って雑音指数NFが大きくなることが分かる。また、ゲート・ソース間容量 C_{gs} の増大も雑音指数NFの増大の大きな原因となる。

つぎに、各半導体装置の違いについて説明する。

- HEMT（曲線A）とMESFET（曲線D）において、前述の同
- 25 等なデバイス構造を仮定した場合、 C_{gs} はそれほど変わらない（おお

よそ0.2~0.4 pF程度)。しかし、HEMTはMESFETに比較して電子移動度が大きいので、 g_m はHEMTの方が大きくなる。

ここで、式(1)より、 g_m のみが大きくなるとNFは小さくなる
ことがわかる。具体的な値としては、移動体通信用途(5GHz帯)
5 においてHEMTではおおよそ0.8~1.0 dB程度、MESFETでは1.2~1.5 dB程度である。

以上により、HEMTがMESFETより雑音指数に優れることがわかる。

つぎに、HEMT(曲線A)とNPNバックトゥバックダイオード
10 を組み込んだ{HEMT(NPND)}のNFの差について説明する
NPN保護ダイオードを用いた場合には、移動体通信用途(5GHz帯)および衛星通信用途(12GHz帯)とも要求されるNF(おおよそ1.5 dB: max)を満足できない。この理由は、NPN保護ダイオードの持つ容量がHEMTの C_{gs} と略同じ大きさ(おおよそ0.
15 2~0.4 pF程度)のため入力容量($C_{gs}+C_p$)が増大し、式(1)より著しいNFの劣化を引き起こすためである。以上により、NPN保護ダイオードは適用できないことがわかる。

一方、第15図に示すように、電力利得(PG)の許容値を15 dBとした場合、保護素子を組み込まないHEMT(曲線A)は12 GHz帯まで高い電力利得を得ることができる。しかし、前述のように
20 NPNのバックトゥバックダイオードを組み込んだHEMT(曲線C)の場合では、10 GHz帯程度以上で所定の電力利得が得られない。

各周波数特性において高い周波数になるに従い、PGが劣化する原因は、次式(2)により明確である。

25
$$PG = 10 \log \left[\left(\frac{g_m}{2\pi(C_{gs}+C_p)} \right) / f \right]^2$$

$$\times \{ 1 / (4 g_d R_i) \}] \quad \dots (2)$$

ここで、 g_d はドレインコンダクタンス、 R_i はチャネル抵抗である。

そこで、本発明者はゲート・ソース間容量 C_{gs} を小さくできるアンドープ層（真性半導体：intrinsic 以下iと称する）を用いる保護素子
5 子をゲート・ソース間あるいはゲート・ドレイン間に設けることによって、衛星通信用途向けは実質的に困難としても、移動体通信用途向けの半導体装置では実使用に耐える高周波特性を有しかつ十分な静電破壊強度を持たせることができることを思い付き本発明をなした。

本発明の目的は、静電破壊強度の大きな高電子移動度トランジスタ
10 を有する半導体装置およびその製造方法を提供することにある。

本発明の他の目的は、静電破壊強度が大きくかつ雑音指数や電力利得等高周波特性の優れた高電子移動度トランジスタを有する半導体装置
およびその製造方法を提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の
15 記述および添付図面からあきらかになるであろう。

発明の開示

本願において開示される発明のうち代表的なものの概要を簡単に説明
すれば、下記のとおりである。

20 半絶縁性化合物半導体基板と、前記半絶縁性化合物半導体基板の主に形成されたアンドープ化合物半導体からなる電子走行層と、前記電子走行層上に形成されかつ前記電子走行層の表層に2次元電子ガスチャネルを発生させる第1導電型の化合物半導体からなる電子供給層と、前記電子供給層の上に形成されるソース電極およびドレイン電極
25 と、前記ソース電極とドレイン電極の間の前記電子供給層の上面に形

成されたゲート電極とを有する半導体装置であって、前記ゲート電極とソース電極との間に前記アンドープ層上の電子供給層を部分的にエッチング除去して形成された真性半導体層と電子供給層部分とによるN i N型保護素子が設けられている。

- 5 前記電子走行層はアンドープG a A s 層，前記電子供給層はN型A l G a A s 層，前記オーミックコンタクト層はN型G a A s 層で形成され、前記電子走行層となるG a A s アンドープ層の不純物濃度は 10^{15} cm^{-3} 以下となっている。

- 10 半導体装置に組み込まれる半導体チップ（半導体装置）は以下の工程を経て製造される。

- 半絶縁性化合物半導体基板の主面にアンドープ化合物半導体からなる電子走行層および前記電子走行層の表層部分に2次元電子ガスチャネルを発生させる第1導電型の化合物半導体からなる電子供給層ならびに電極との間でオーミックコンタクトをとる第1導電型の化合物半導体からなるオーミックコンタクト層を順次形成する工程と、前記オーミックコンタクト層上にソース電極およびドレイン電極を形成する工程と、前記オーミックコンタクト層を選択的に除去して電子供給層上にゲート電極を形成する工程とを有する半導体装置の製造方法であって、前記ゲート電極と前記ソース電極との間にオーミックコンタクト層から電子走行層に到達するエッチング溝を設け、前記ゲート電極と前記ソース電極または前記ドレイン電極間に真性半導体層と前記電子供給層によるN i N型保護素子を形成する。
- 15 20

- 前記電子走行層はアンドープG a A s 層，前記電子供給層はN型A l G a A s 層，前記オーミックコンタクト層はN型G a A s 層で形成され、前記電子走行層となるG a A s アンドープ層の不純物濃度は1
- 25

0^{15} cm^{-3} 以下に形成される。

前記半導体装置に形成される絶縁膜は前記電子走行層の表層に形成される2次元電子ガスチャネルの特性を損なわない低い温度で形成される。たとえば、絶縁膜は膜形成温度が420℃程度以下でリン濃度が7m o l程度以下によって形成されるリンシリケートガラス膜で形成する。

前記の手段によれば、GaAs HEMTのゲートとソース間にNiN型保護素子が組み込まれることから、静電破壊強度の向上が達成できる。すなわち、静電破壊強度は従来のHEMTに比較して3倍以上の100V程度になる。これにより、半導体装置の取り扱い時の静電破壊が起き難くなる。

また、組み込まれるNiN型保護素子はNPNバクトウバックダイオードの1/10程度と容量が小さいため、雑音指数や電力利得に与える影響が少なくなり、半導体装置は移動体通信用半導体装置として充分使用可能となる。

また、GaAsアンドープ層は不純物濃度が 10^{15} cm^{-3} 以下となり、電子供給層によって確実に2次元電子ガスチャネルが形成されるため、半導体装置は安定した高周波特性が得られる。

また、半導体チップ製造におけるNiN型保護素子の製造時、高温加熱を伴わないエッチングによってNiN構造を形成するため、不純物濃度プロファイルが変化しない。

また、半導体装置に形成される絶縁膜は低温度で形成されることから、HEMTの特性が損なわれない。

第1図は本発明の一実施形態である半導体装置の模式的平面図である。

第2図は本発明の一実施形態である半導体装置の平面図である。

第3図は前記半導体装置の断面図である。

5 第4図は前記半導体装置の一部を示す模式的断面図である。

第5図は前記半導体装置の製造において半導体チップをタブに固定し前記半導体チップの電極とリードとをワイヤで接続した状態を示す平面図である。

10 第6図は本発明の一実施形態である半導体装置の製造方法に用いる化合物半導体基板とその主面に形成された化合物半導体層を示す一部の断面図である。

第7図は前記半導体装置の製造においてリセスエッチング加工された化合物半導体基板を示す一部の断面図である。

15 第8図は前記半導体装置の製造においてソース電極，ドレイン電極および保護素子電極が形成された化合物半導体基板を示す一部の断面図である。

第9図は前記半導体装置の製造においてN i N型保護素子形成のためのエッチング溝が形成された化合物半導体基板を示す一部の断面図である。

20 第10図は前記半導体装置の製造においてゲート電極が形成された化合物半導体基板を示す一部の断面図である。

第11図は前記半導体装置の製造において選択的に絶縁膜が形成された化合物半導体基板を示す一部の断面図である。

25 第12図は本実施形態による半導体装置の周波数と雑音指数の相関を示すグラフである。

第13図は本実施形態による半導体装置の周波数と電力利得の相関を示すグラフである。

第14図は本発明者によって検討確認された半導体装置と従来の半導体装置の周波数と雑音指数との相関を示すグラフである。

- 5 第15図は本発明者によって検討確認された半導体装置と従来の半導体装置の周波数と電力利得との相関を示すグラフである。

発明を実施するための最良の形態

本発明の構成について実施形態とともに説明する。

- 10 なお、発明の実施形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

- 本実施形態1の半導体装置1は、第2図および第3図に示すように、略直方体からなる樹脂製の封止体2の両側からそれぞれ2本のリード3を突出させた構造となっている。前記リード3はガルウィング型となり、表面実装が可能な構造となっている。
- 15

- 前記封止体2の内部に延在する4本のリード3のうち、第5図に示すように、1本のリード3の内端は幅広のタブ4に繋がっている。半導体チップ5は、図示しない接合材によって前記タブ4に固定されている。また、前記タブ4に連なるリード3はソース(S)リードとなり、残りの3本のリード3はそれぞれソースリード、ゲート(G)リード、ドレイン(D)リードとなる。また、これらの各リード3と、前記半導体チップ5の各ボンディングパッド6は導電性のワイヤ7によって電氣的に接続されている。また、前記半導体チップ5は、第3図に示すように、実装状態でタブ4の下面側になるようにリード3が
- 20
- 25 成形されている。

半導体チップ5は、第1図に示すように四辺形となっている。半導体チップ5は、たとえば1辺が0.3~0.6mmの正方形となり、厚さは0.15~0.25mmとなっている。同図でハッチングを施した部分がソース配線10、クロスハッチングを施した部分がドレイン配線11、点々を施した部分がゲート配線12である。各配線の一部はそれぞれ4隅に延在し、四辺形のボンディングパッド6が形成される。このボンディングパッド6は第4図に示すように、パッシベーション膜8を設けないことによって形成される。たとえば、右上隅がゲート用ボンディングパッド6G、右下隅がソース用ボンディングパッド6S、左上隅がソース用ボンディングパッド6S、左下隅がドレイン用ボンディングパッド6Dとなっている。

第1図に示すように、半導体チップ5の中心部分に先端を延在するドレイン配線11の下には長方形のドレイン電極13が配置され、このドレイン電極13の両側には、それぞれ平行に長方形のソース電極14が位置している。ドレイン電極13とソース電極14は全長に亘って対面している。前記ソース電極14はソース配線10に重なり電氣的に接続している。前記ドレイン電極13とソース電極14との間にはそれぞれ1本の線で示すが、ゲート電極15が位置している。また、このゲート電極15の上にもゲート配線12が重なり、電氣的に接続されている。これにより、高電子移動度トランジスタ(HEMT)9が形成される(第4図参照)。

また、N型化合物半導体層16とN型化合物半導体層17との間に真性半導体層(i層)18を挟んだNiN型保護素子19が形成されている。前記N型化合物半導体層16およびN型化合物半導体層17上には保護素子電極20、21が形成されている。そして、前記一方

の保護素子電極 20 はソース配線 10 に接続され、他方の保護素子電極 21 はゲート配線 12 に接続されている。

第 4 図は半導体チップ 5 の一部の断面を示す図であるが、模式的図でありかつ HEMT 9 と NiN 型保護素子 19 を同時に示す図である。

5 半導体チップ 5 は、第 4 図に示すように、半絶縁性化合物半導体基板、たとえば、半絶縁性 GaAs 基板 25 の主面（上面）にエピタキシャル成長によって形成した 3 層の化合物半導体層、たとえば、電子走行層となるアンドープ GaAs 層 26，電子供給層となる N 型 AlGaAs 層 27，オーミックコンタクト層となる N 型 GaAs 層 28
10 を加工し、かつ縦横に分断することによって形成される。

アンドープ GaAs 層 26 は厚さ 3000～10000 Å 程度となっている。また、このアンドープ GaAs 層 26 は、2 次元電子ガスチャネルが形成される電子走行層となることから、不純物濃度は 10^{15} cm^{-3} 以下（P 型）とする。すなわち、アンドープ GaAs 層が N
15 型となると、アンドープ GaAs 層全体がチャネルとして働き特性は劣化する。GaAs アンドープ層の不純物濃度を 10^{15} cm^{-3} 以下としておくことにより、電子供給層の作用によって確実に 2 次元電子ガスチャネルが形成されるため、安定した高周波特性が得られる。

N 型 AlGaAs 層 27 は厚さ 100～400 Å 程度で、不純物濃
20 度は $1 \times 10^{18} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度である。また、N 型 GaAs 層 28 は厚さ 500～2000 Å 程度で、不純物濃度は $1 \times 10^{18} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度である。

HEMT 9 の部分、すなわち、能動部では前記アンドープ GaAs 層 26 上に選択的に N 型 AlGaAs 層 27 が載り、かつ N 型 AlGaAs 層 27 上には N 型 GaAs 層 28 で形成されるソース用オーミ
25

ックコンタクト層 30, ドレイン用オーミックコンタクト層 31 が 1
~ 2 μm 程度の間隔を隔てて配置されている。前記ソース用オーミッ
クコンタクト層 30 の上には前記ソース電極 14 が設けられ、前記ド
レイン用オーミックコンタクト層 31 の上には前記ドレイン電極 13
5 が設けられている。ソース電極 14 およびドレイン電極 13 は金系材
料、たとえば $\text{AuGe}/\text{Ni}/\text{Ti}/\text{Au}$ で形成されている。これら
電極の厚さは、たとえば 5000 Å 程度である。

ソース用オーミックコンタクト層 30 とドレイン用オーミックコン
タクト層 31 との間に露出した N 型 AlGaAs 層 27 上には前記ゲ
10 ート電極 15 が形成される。ゲート長は、たとえば 0.5 μm であり、
ゲート幅は 200 ~ 300 μm である。ゲート電極 15 は、たとえば
Al または Mo/Au 等で形成され、厚さは 5000 ~ 10000 Å
程度である。

前記アンドープ GaAs 層 26 と N 型 AlGaAs 層 27 とによっ
15 て、電子走行層としてのアンドープ GaAs 層 26 の表層部分には 2
次元電子ガスチャネルが形成される。

Ni N 型保護素子 19 部分では、アンドープ GaAs 層 26 上に独
立して N 型 AlGaAs 層 27 が載る。また、この N 型 AlGaAs
層 27 上には N 型 GaAs 層 28 が重なって載る。そして、前記 N 型
20 AlGaAs 層 27 および N 型 GaAs 層 28 は、Ni N 型保護素子
形成用のエッチング溝 35 で分断されている。エッチング溝 35 は 2
次元電子ガスチャネルが発生するアンドープ GaAs 層 26 の表層部
分を貫くように設けられている。前記エッチング溝 35 の幅は数 μm
となる。前記エッチング溝 35 の一側の N 型 AlGaAs 層 27 と、
25 他側の N 型 AlGaAs 層 27 と、一側の N 型 AlGaAs 層 27 か

ら他側のN型AlGaAs層27に至るアンドープGaAs層26によってN型半導体36と真性半導体37とN型半導体38によるNiN型保護素子19が形成されることになる。N型半導体36およびN型半導体38上のN型GaAs層28はそれぞれ保護素子用オーミック
5 クontakt層39, 40となる。前記保護素子用オーミックkontakt層39上には前記保護素子電極21が設けられ、保護素子用オーミックkontakt層40上には前記保護素子電極20が設けられている。

また、半導体チップ5の主面側は絶縁膜(層間絶縁膜)41によって
10 選択的に覆われている。この絶縁膜41は、たとえば膜形成温度が420℃程度以下でリン濃度が7m.o.l程度以下になるリンシリケート膜(PSG膜)で形成され、厚さは5000~10000Åとなっている。これによって絶縁膜41の形成時、2次元電子ガスチャネル(HEMTの特性)が損なわれることはない。また、絶縁膜41はS
15 iO₂膜でもよく、多層膜でもよい。

また、前記絶縁膜41上には選択的に配線が形成されている。この配線は前述のように、第1図で示すようにソース配線10, ドレイン配線11, ゲート配線12のように形成される。そして、前記絶縁膜41が設けられない部分がkontakt穴となり、各kontakt穴に充
20 填された配線材料によって各配線と各電極が接続される。

また、前記半導体チップ5の表面はパッシベーション膜8で覆われている。そして、パッシベーション膜8を選択的に除去した部分がボンディングパッド6となる。前記パッシベーション膜8は、前記絶縁膜41と同様に膜形成温度が420℃程度以下でリン濃度が7m.o.l
25 程度以下になるリンシリケート膜(PSG膜)で形成され、厚さは5

000～10000 Åとなっている。これによってパッシベーション膜8の形成時、2次元電子ガスチャネル（HEMTの特性）が損なわれることはない。また、絶縁膜41はSiO₂膜でもよく、多層膜でもよい。

- 5 つぎに、半導体チップ5の製造について第6図～第11図を参照しながら説明する。なお、これらの図において、前記第4図と同様に半導体基板の一部の断面を模式的に示し、かつ左側にNiN型保護素子を製造する部分を、右側にHEMTを製造する部分を示す。

最初に数100 μmの厚さの半絶縁性GaAs基板25を用意した後、第6図に示すように、エピタキシャル成長によって、主面にアン
10 ドープGaAs層26、N型AlGaAs層27、N型GaAs層28を形成する。アンドープGaAs層26は厚さ3000～10000 Å程度となっている。また、このアンドープGaAs層26は、2次元電子ガスチャネルが形成される電子走行層となることから、不純
15 物濃度は 10^{15} cm^{-3} 以下（P型）とする。これによって、アンドープGaAs層26の表層部分には2次元電子ガスチャネルが形成される。

N型AlGaAs層27は厚さ100～400 Å程度で、不純物濃度は $1 \times 10^{18} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度である。また、N型GaAs
20 層28は厚さ500～2000 Å程度で、不純物濃度は $1 \times 10^{18} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度である。

HEMT形成部分において、前記アンドープGaAs層26は電子走行層、N型AlGaAs層27は電子供給層、N型AlGaAs層27はオーミックコンタクト層として使用される。また、NiN型保
25 護素子の製造部分において、前記アンドープGaAs層26はNiN

型保護素子19を形成するための真性半導体層、N型AlGaAs層27は2分されてNiN型保護素子19のN型半導体層として使用される。

つぎに、第7図に示すように、常用のホトリソグラフィ技術によってN型AlGaAs層27およびN型GaAs層28をリセスエッチングして所定部分を電氣的に独立した状態とする。前記ホトリソグラフィでは所定部分にホトレジスト膜を形成した後露出するN型GaAs層28およびN型AlGaAs層27をエッチングするが、エッチング液はたとえばアンモニア系エッチング液等が用いられる。

つぎに、半絶縁性GaAs基板25の主面上全体に絶縁膜を形成し、常用のホトリソグラフィ技術およびリフトオフ法を用いてN型GaAs層28の上に電極を形成する。電極は、第8図に示すように、たとえば厚さ5000Å程度のAuGe/Ni/Ti/Auで形成される。最上層がAu層である。HEMT形成部分において、例えば、左側の電極がソース電極14になり、右側の電極がドレイン電極13となる。また、NiN型保護素子形成部分において、例えば、右側の電極が保護素子電極20となり、左側の電極が保護素子電極21となる。

つぎに、第9図に示すように、半絶縁性GaAs基板25の主面にホトレジスト膜45を選択的に形成した後、ホトレジスト膜45をエッチング用マスクとして、前記保護素子電極20と保護素子電極21の間のN型GaAs層28およびN型AlGaAs層27をエッチング除去する。この、エッチング溝35は2次元電子ガスチャネルが発生するアンドープGaAs層26の表層部分を貫くように設けられる。エッチング液はたとえばアンモニア系エッチング液等が用いられる。

このエッチングにおいて、あらかじめエッチングレートを確認した上

でエッチングを実施し、エッチング量を調整する。

前記エッチング溝 35 の幅は数 μm となる。前記エッチング溝 35 の一側の N 型 AlGaAs 層 27 と、他側の N 型 AlGaAs 層 27 と、一側の N 型 AlGaAs 層 27 から他側の N 型 AlGaAs 層 27 に至るアンドープ GaAs 層 26 によって N 型半導体 36 と真性半導体 (i) 37 と N 型半導体 38 による NiN 型保護素子 19 が形成されることになる。この NiN 型保護素子 19 の容量は、たとえば 0.02 ~ 0.04 pF と極めて小さい。

また、前記 N 型半導体 36 および N 型半導体 38 上の N 型 GaAs 層 28 はそれぞれ保護素子用オーミックコンタクト層 39, 40 となり、保護素子電極 20, 21 との間にオーミックコンタクトが取れる。

つぎに、前記ホトレジスト膜 45 を除去した後、新たに選択的にホトレジスト膜を形成し、その後第 10 図に示すように HEMT 形成部分のドレイン電極 13 とソース電極 14 の間の N 型 GaAs 層 28 をエッチング除去する。このエッチング溝、すなわちゲート形成溝 46 の幅は 1 ~ 2 μm 程度である。

つぎに、露出した N 型 AlGaAs 層 27 の表面に前記ゲート電極 15 が形成される。ゲート長は、たとえば 0.5 μm であり、ゲート幅は 200 ~ 300 μm である。ゲート電極 15 は、たとえば Al または Mo/Au 等で形成され、厚さは 5000 ~ 10000 Å 程度である。

これによって HEMT 9 が形成される。ドレイン電極 13 の下の N 型 GaAs 層 28 はドレイン用オーミックコンタクト層 31 になり、ソース電極 14 の下の N 型 GaAs 層 28 はソース用オーミックコンタクト層 30 になる。

つぎに、半絶縁性GaAs基板25の主面に絶縁膜41を選択的に形成する。この絶縁膜41は、たとえば膜形成温度が420℃程度以下でリン濃度が7mol程度以下になるリンシリケート膜（PSG膜）で形成され、厚さは5000～10000Åとなっている。これによって絶縁膜41の形成時、2次元電子ガスチャネル（HEMTの特性）が損なわれることはない。また、前記絶縁膜41は選択的に設けられ、絶縁膜41が設けられない部分は、各電極と配線を接続するコンタクト穴47になる。

つぎに、前記半絶縁性GaAs基板25の主面に配線を形成する。配線は、たとえばAlまたはMo/Au等で形成され、厚さは5000～10000Å程度である。配線は第1図に示すように、ソース配線10、ドレイン配線11、ゲート配線12となる。ソース配線10はソース電極14および保護素子電極20に接続され、ドレイン配線11はドレイン電極13に接続され、ゲート配線12はゲート電極15および保護素子電極21に接続される。

つぎに、半絶縁性GaAs基板25の主面にパッシベーション膜8を形成する。パッシベーション膜8は、たとえば膜形成温度が420℃程度以下でリン濃度が7mol程度以下になるリンシリケート膜（PSG膜）で形成され、厚さは5000～10000Åとなっている。これによってパッシベーション膜8の形成時、2次元電子ガスチャネル（HEMTの特性）が損なわれることはない。また、パッシベーション膜8が設けられない部分がボンディングパッド6になる。

つぎに、半絶縁性GaAs基板25は、その裏面が所定の厚さ削られ、およそ0.15～0.25mmの厚さにされた後、縦横に分断される。これによって、第1図に示すような半導体チップ5が製造され

る。半導体チップ5は、たとえば1辺が0.3～0.6mmの正方形となる。

このような半導体チップ5は、第5図に示すようにリードフレーム50のタブ4上に図示しない接合材を介して接続される。リードフレーム50は、全体を図示しないが、平行に延在する外枠と、この一対の外枠を一定間隔で連結する内枠とからなり、たとえば、上下2本のリード3は、前記外枠から内枠に平行に延在している。また、トランスファモールド時、溶けた樹脂（レジン）が流出しないように、リード3間およびリード3と内枠を連結する図示しないダムも形成されている。

つぎに、半導体チップ5のボンディングパッド6とリード3はワイヤ7で接続される。また、常用のトランスファモールド装置によって前記タブ4，半導体チップ5，ワイヤ7およびリード3の先端部分を封止体2で覆い、不要なリードフレーム部分を切断除去し、かつ封止体2から突出する4本のリード3をガルウイング型に成形することによって第2図に示す半導体装置1が製造される。

このように、本実施形態によれば、以下の作用効果が得られる。

GaAs HEMTのゲートとソース間にNiN型保護素子が組み込まれることから、静電破壊強度の向上が達成できる。すなわち、静電破壊強度は従来のHEMTに比較して3倍以上の100V程度になる。

しかしながら、本実施形態のHEMTは5GHz帯の移動体通信用半導体装置として使用できるが、12GHz帯の衛星通信用半導体装置としては要求される特性（雑音指数，電力利得）によっては使用できない場合もある。

この理由は、NiN型保護素子の持つ容量が0.02～0.04p

F 以下と H E M T のゲート・ソース間容量 C_{gs} (おおよそ、 $0.2 \sim 0.4 \text{ pF}$) 程度に比較して殆ど無視できるレベルの値であることによる。これにより、移動体通信用用途 (5 GHz 帯) では入力容量 ($C_{gs} + C_g$) の増大は殆ど生じず、NF の劣化が殆ど起きないため
5 適用可能となる。

一方、衛星通信用用途 (12 GHz 帯) では、移動体通信用用途 (5 GHz 帯) より高い周波数であるため、数 1 および数 2 から分かるように、また、図 12 および図 13 のグラフからも分かるように、移動体通信用用途以上に NF および電力利得の劣化が起こる。加えて、衛星
10 通信用用途では、NF のスペックが厳しいことなどを考慮して、N i N 型保護素子を組み込まない方が賢明である。

また、H E M T のゲート・ソース間に N i N 型保護素子が設けられていることから、ゲートまたはソースからサージ電流が入っても、ゲート・ソース間の持つ耐圧よりも小さい耐圧を持つ N i N 型保護素子
15 に流れ、H E M T におけるゲートのショットキー接合の破壊を防止することができる。なお、N i N 型保護素子の耐圧は N 同士の間隔で決まる。また、サージ電流は i (アンドープ G a A s 層) と絶縁膜 (層間絶縁膜) との界面を流れる。

また、G a A s アンドープ層は不純物濃度が 10^{15} cm^{-3} 以下となり、電子供給層によって確実に 2 次元電子ガスチャネルが形成される
20 ため、半導体装置は安定した高周波特性が得られる。

また、半導体チップ製造における N i N 型保護素子の製造時、高温加熱を伴わないエッチングによって N i N 構造を形成するため、不純物濃度プロファイルが変化しない。したがって、H E M T の特性が安
25 定する。

また、半導体装置に形成される絶縁膜は低温度で形成されることから、HEMTの特性が損なわれない。

以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

たとえば、半導体装置に複数のHEMTを組み込む場合は、それぞれのHEMTにNiN型保護素子を組み込むことによって、前記実施形態と同様に静電破壊強度が高く高周波特性に優れた半導体装置とすることができる。

また、ゲートが2本となるデュアルゲート構造のHEMTの場合は、それぞれのゲートとソース間にNiN型保護素子を組み込むことによって前記実施形態と同様に静電破壊強度が高く高周波特性に優れた半導体装置とすることができる。

また、ドレインがグランド(GND)になる場合は、NiN型保護素子はゲート電極とドレイン電極の間に設ける。これにより、前記実施形態と同様に静電破壊強度が高く高周波特性に優れた半導体装置とすることができる。

また、アンドープ層は多層であってもよい。たとえば、アンドープGaAs層26とN型AlGaAs層27との間にアンドープ層InGaAs層を入れても前記実施形態と同様に静電破壊強度が高く高周波特性に優れた半導体装置とすることができる。

産業上の利用可能性

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である移動体通信用途の半導体装置の製造技術に適

用した場合について説明したが、それに限定されるものではなく、たとえば、LAN (local area network) の通信機器に使用できる。また、移動体通信用途の 1 例として PHS (personal handy system) 用通信機器がある。

5

10

15

20

25

請 求 の 範 囲

1. 半絶縁性化合物半導体基板と、前記半絶縁性化合物半導体基板の主面に形成されたアンドープ化合物半導体からなる電子走行層と、
5 前記電子走行層上に形成されかつ前記電子走行層の表層に2次元電子ガスチャネルを発生させる第1導電型の化合物半導体からなる電子供給層と、前記電子供給層の上に形成されるソース電極およびドレイン電極と、前記ソース電極とドレイン電極の間の前記電子供給層の上面に形成されたゲート電極とを有する半導体装置であって、前記ゲート
10 電極とソース電極またはゲート電極とドレイン電極間には前記アンドープ層上の電子供給層を部分的にエッチング除去して形成された真性半導体層と電子供給層部分とによるN i N型保護素子が設けられていることを特徴とする半導体装置。

2. 前記N i N型保護素子はゲート電極とソース電極またはゲート
15 電極とドレイン電極間に1つ以上設けられていることを特徴とする請求の範囲第1項に記載の半導体装置。

3. 前記アンドープ層は多層になっていることを特徴とする請求の範囲第1項または請求の範囲第2項に記載の半導体装置。

4. 前記電子走行層はアンドープGaAs層、前記電子供給層はN
20 型AlGaAs層、前記オーミックコンタクト層はN型GaAs層で形成され、前記電子走行層となるGaAsアンドープ層の不純物濃度は 10^{15} cm^{-3} 以下となっていることを特徴とする請求の範囲第1項乃至請求の範囲第3項記載のうちいずれか1項に記載の半導体装置。

5. 半絶縁性化合物半導体基板の主面にアンドープ化合物半導体か
25 らなる電子走行層および前記電子走行層の表層部分に2次元電子ガス

チャネルを発生させる第1導電型の化合物半導体からなる電子供給層
ならびに電極との間でオーミックコンタクトをとる第1導電型の化合
物半導体からなるオーミックコンタクト層を順次形成する工程と、前
記オーミックコンタクト層上にソース電極およびドレイン電極を形成
5 する工程と、前記オーミックコンタクト層を選択的に除去して電子供
給層上にゲート電極を形成する工程とを有する半導体装置の製造方法
であって、前記ゲート電極と前記ソース電極または前記ドレイン電極
との間にオーミックコンタクト層から電子走行層に到達するエッチン
グ溝を設け、前記ゲート電極と前記ソース電極または前記ドレイン電
10 極間に真性半導体層と前記電子供給層によるN i N型保護素子を形成
することを特徴とする半導体装置の製造方法。

6. 前記電子走行層はアンドープGaAs層、前記電子供給層はN
型AlGaAs層、前記オーミックコンタクト層はN型GaAs層で
形成され、前記電子走行層となるGaAsアンドープ層の不純物濃度
15 は 10^{15} cm^{-3} 以下に形成されることを特徴とする請求の範囲第5項
記載の半導体装置の製造方法。

7. 前記半導体装置に形成される絶縁膜は前記電子走行層の表層に
形成される2次元電子ガスチャネルの特性を損なわない低い温度で形
成されることを特徴とする請求の範囲第5項または請求の範囲第6項
20 に記載の半導体装置の製造方法。

1/8

FIG. 1

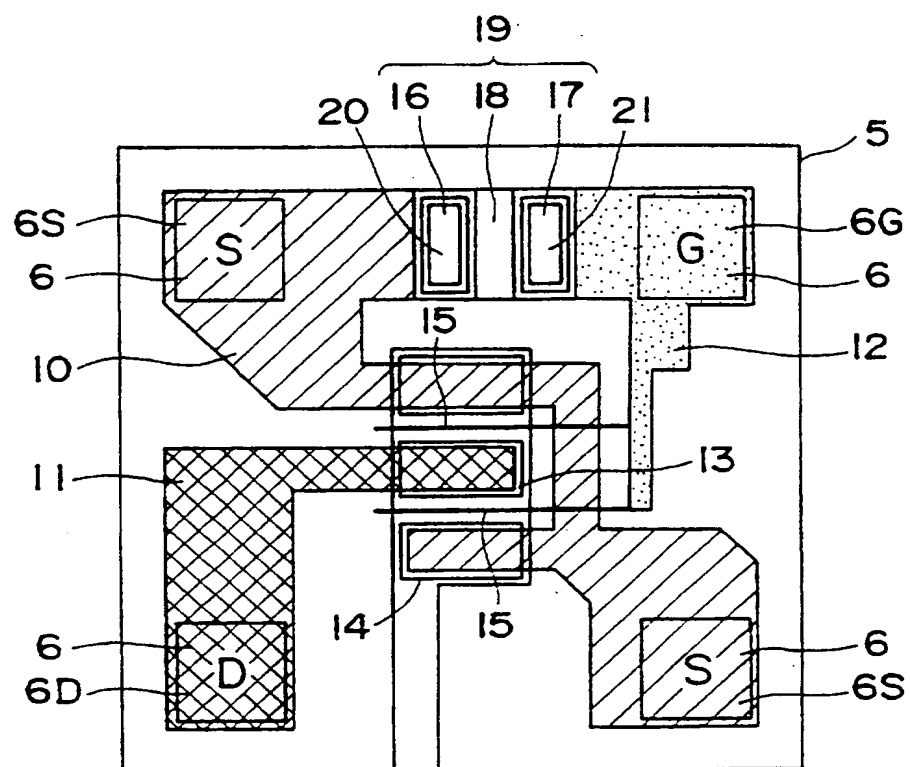
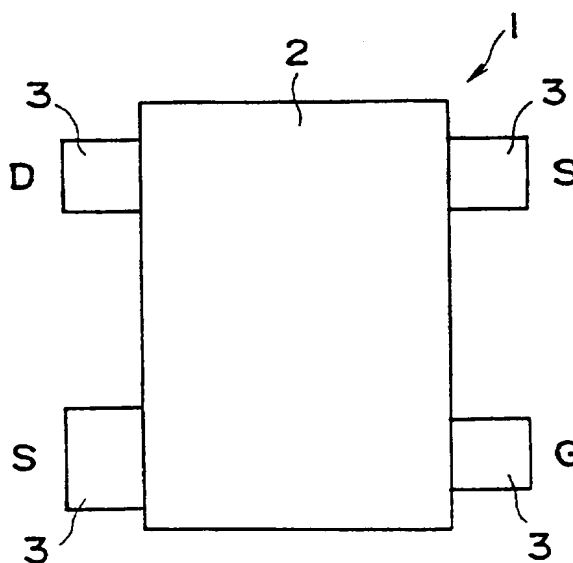


FIG. 2



2 / 8

FIG. 3

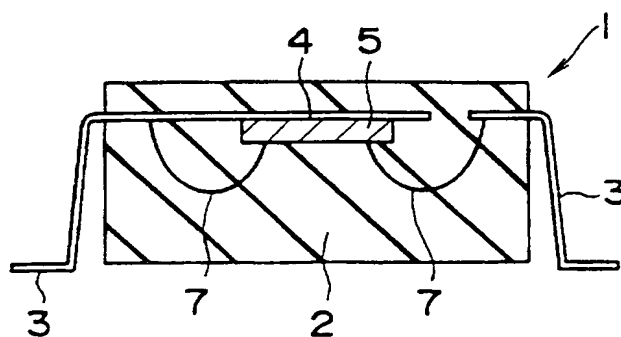


FIG. 4

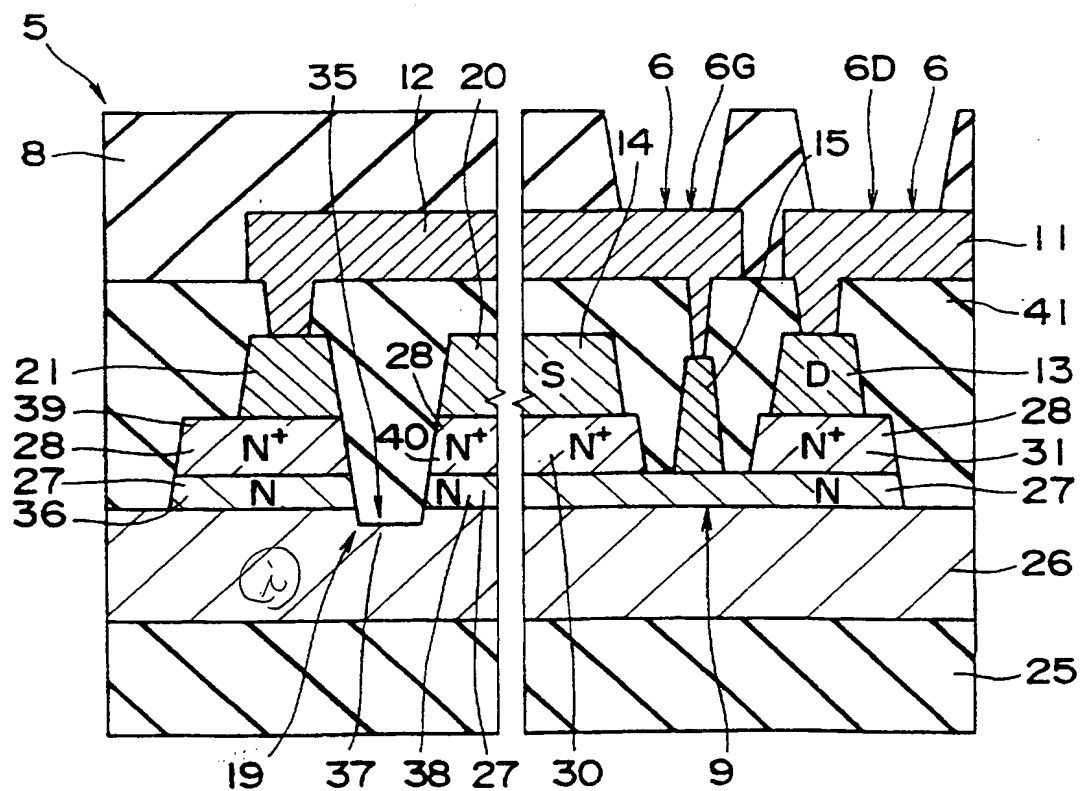


FIG. 5

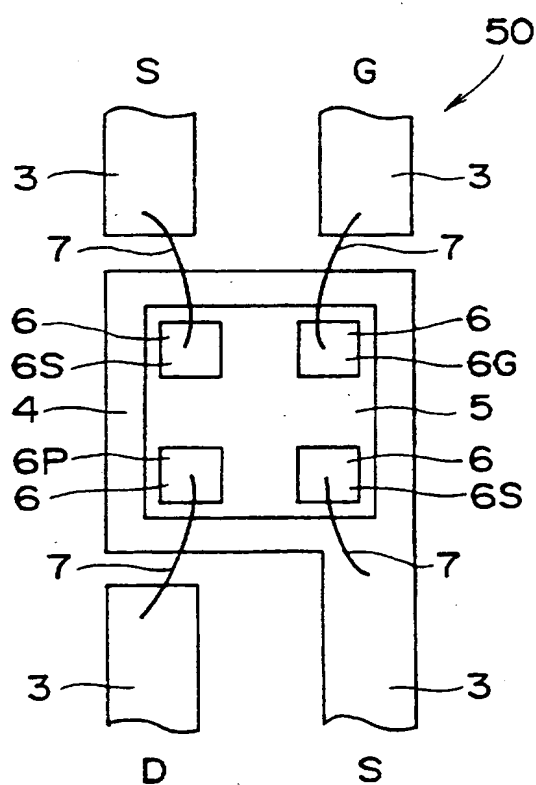


FIG. 6

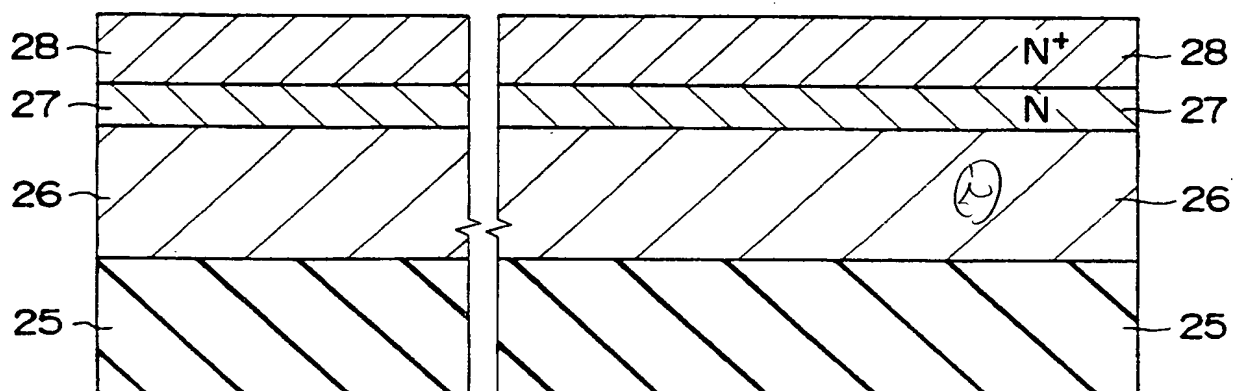
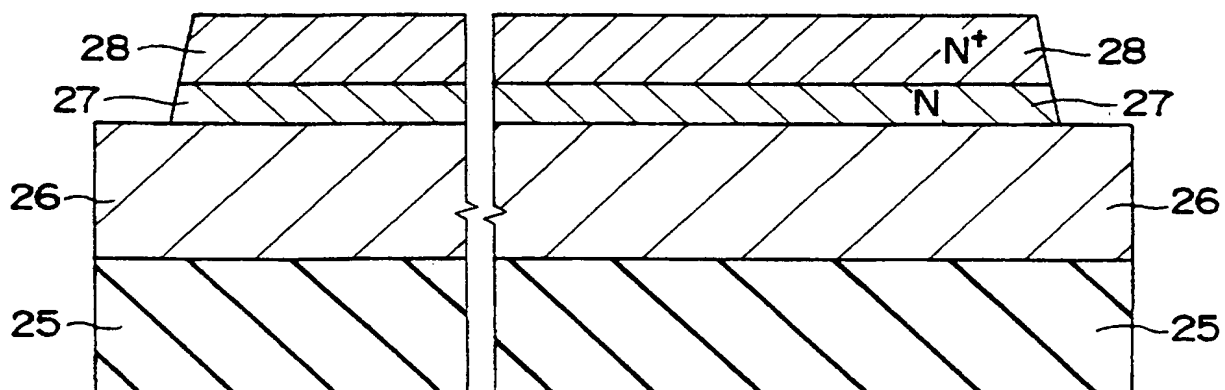


FIG. 7



5/8

FIG. 8

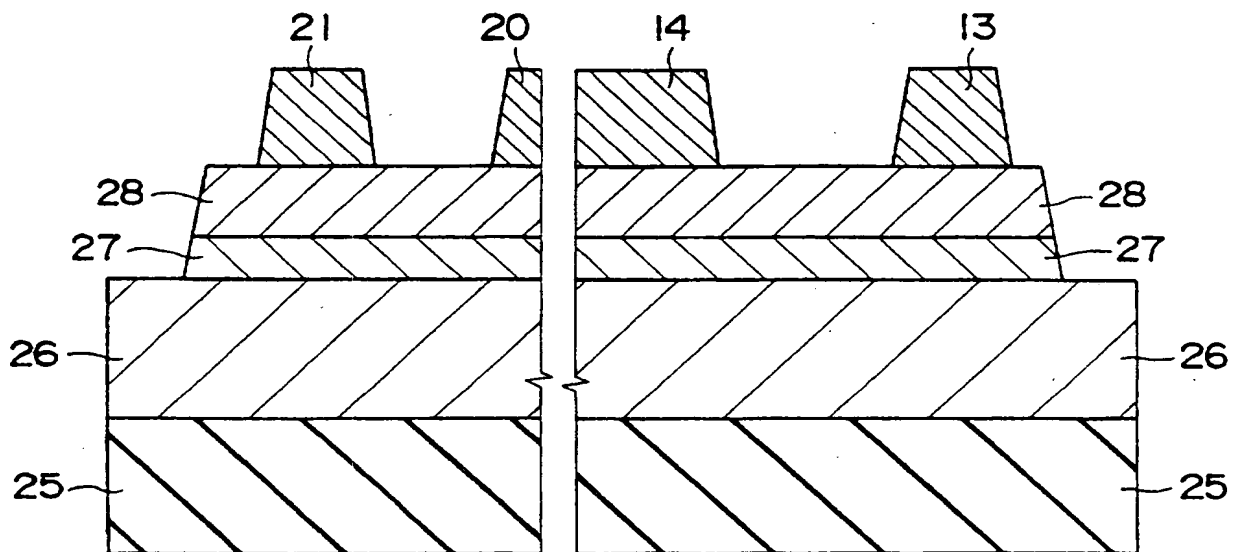
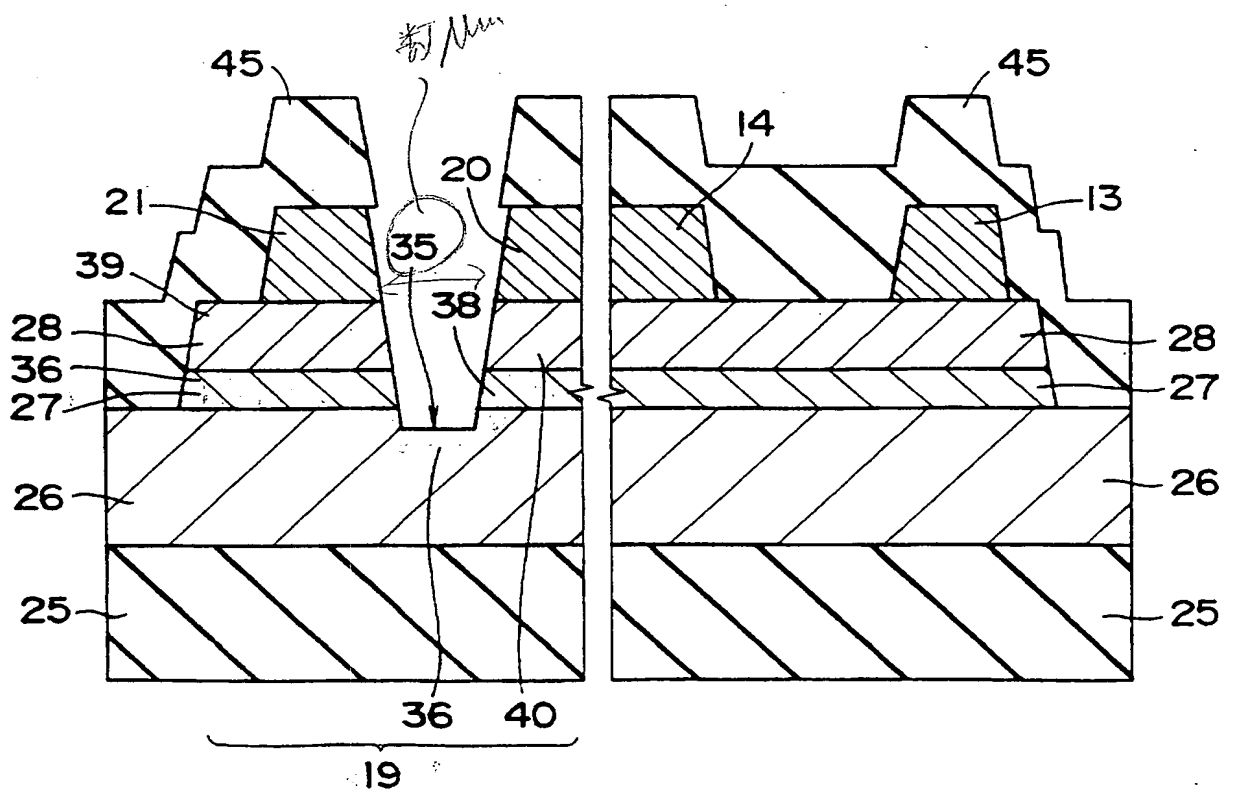


FIG. 9



6/8

FIG. 10

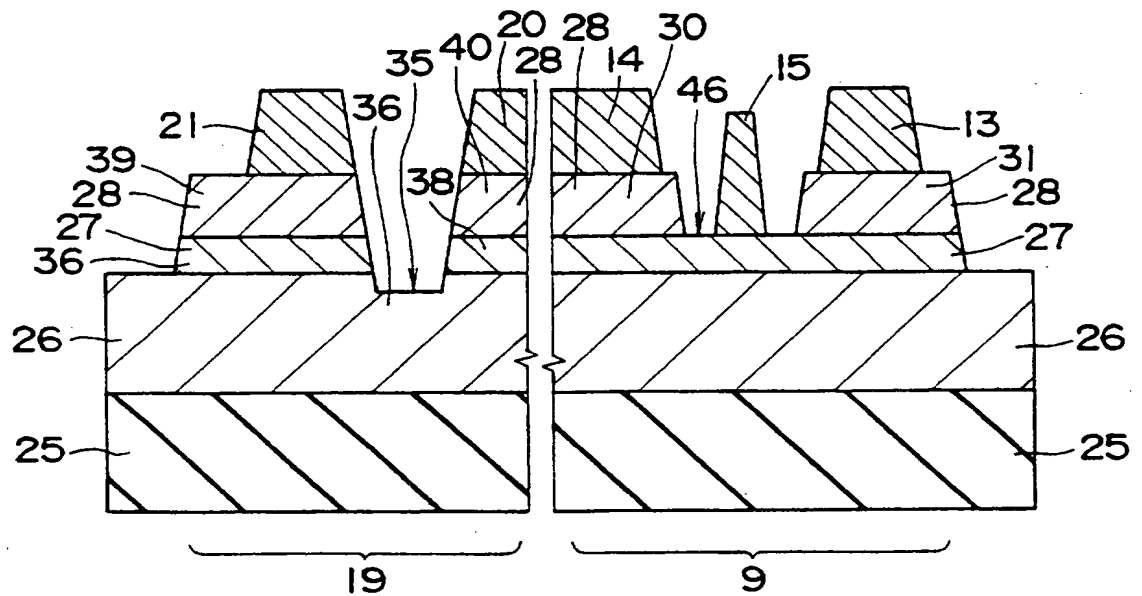


FIG. 11

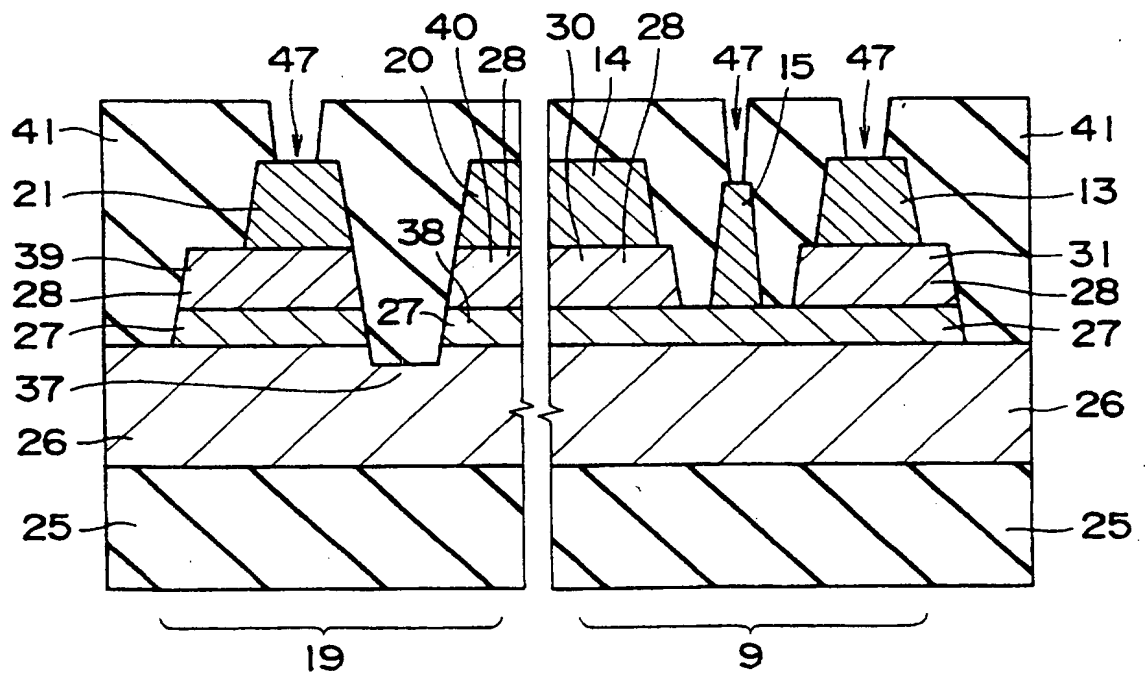


FIG. 12

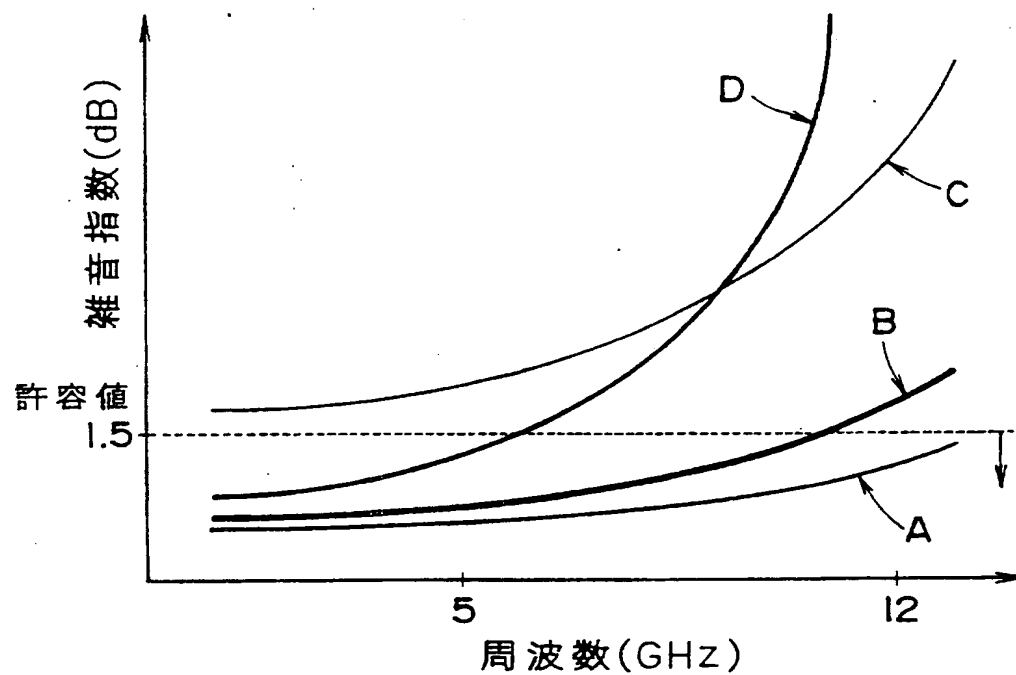


FIG. 13

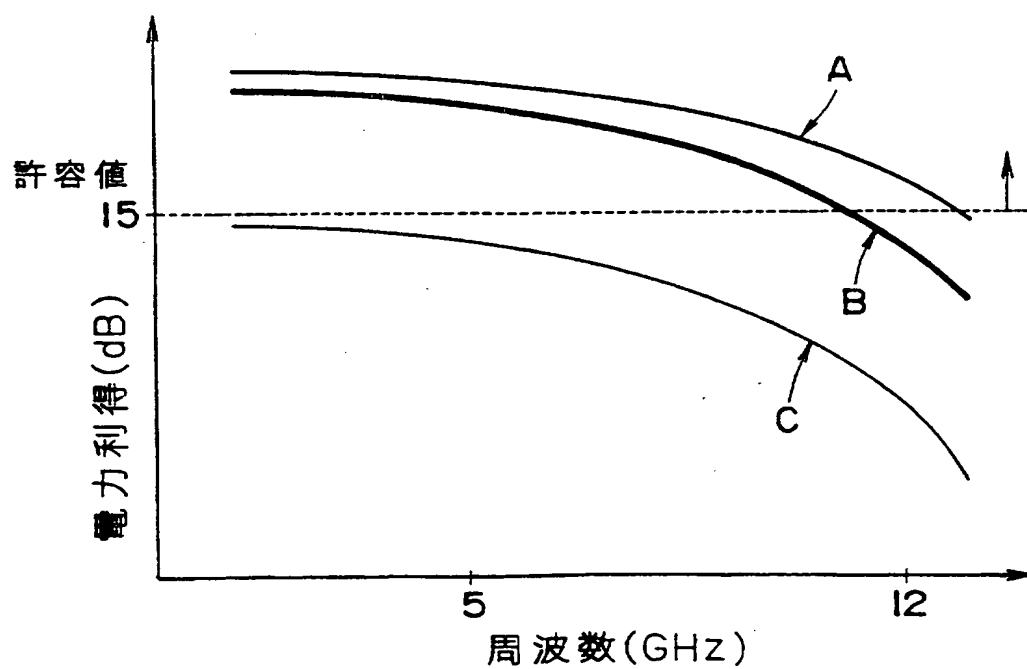


FIG. 14

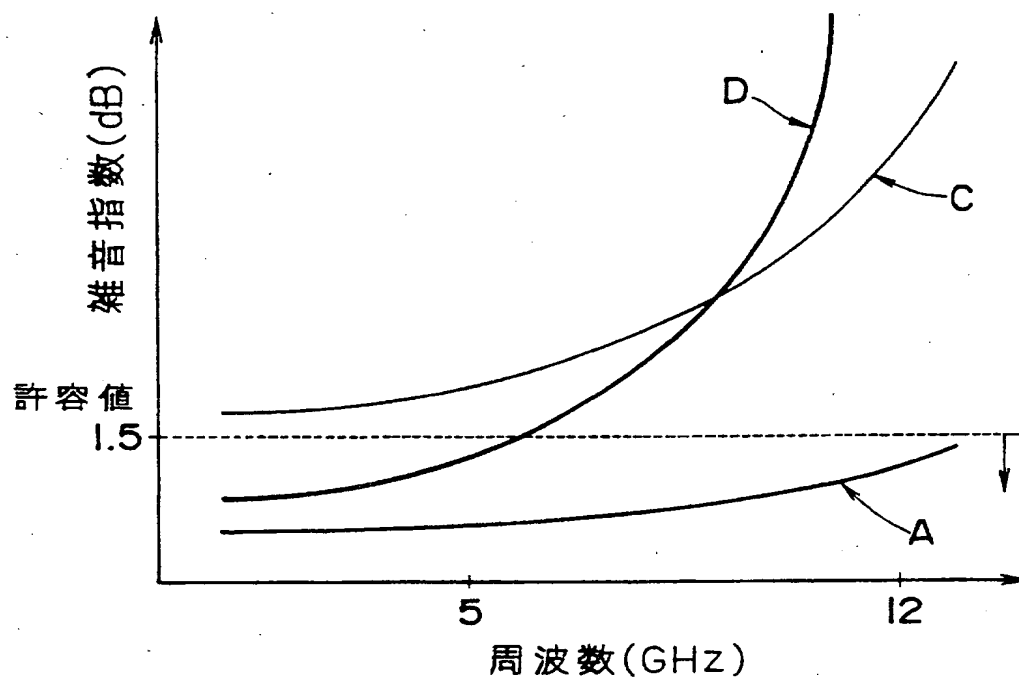
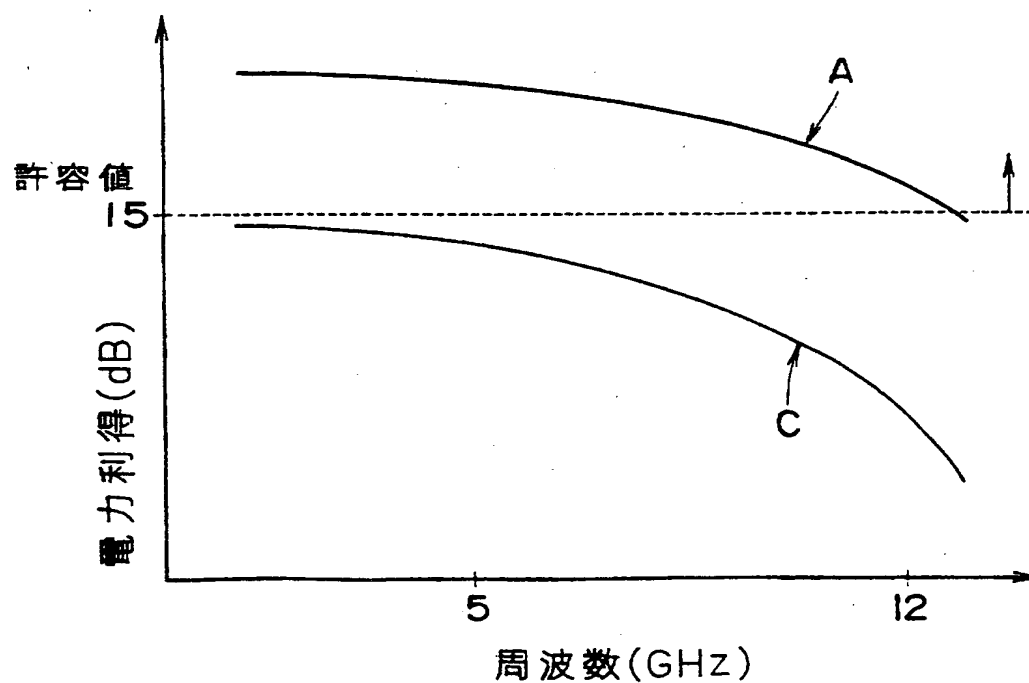


FIG. 15



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.